**计算机体系结构实验 第四周实验报告**

组员：许诗瑶20023105、刘朝润20023114、刘晓航20020070

# 一、实验要求

## （一）5级流水线功能扩增

针对上周根据带printf测试程序整理出的目标指令集，在原有5级流水线上扩增浮点乘除、ECALL及相关CSR指令的功能。

## （二）RISC-V ISA模拟器使用

选择Spike RISC-V ISA模拟器用做实验结果的对比，使用模拟器运行带有printf的测试程序，并使之方便比较运行时状态。

## （三）5级流水线程序测试

将实现功能扩增后的5级流水线运行此前手写RV汇编和带printf的C语言的Fibonacci和Bubble Sort测试程序，通过与模拟器结果比较调试。

# 二、实验环境

编程语言：Verilog

IDE：Vivado 2018.3

编译工具链：riscv-gnu-tool

工程版本控制及代码托管：Github平台

RISC-V ISA模拟器：Spike

# 实验内容

## （一）5级流水线功能扩增

### 1、确定新增指令

由于上周对测试程序编译时使用了C扩展，编译结果的指令中产生了16位长指令。为方便实验，编译时不使用C扩展功能，统一指令为32位定长，重新编译形成测试程序。由于通过静态链接后测试程序指令规模庞大（约二三万行），通过编写python程序辅助筛选整理指令集。

整理涉及到的指令与此前5级流水线实现的指令集比较，确定需要新增的指令为：FMUL.D、FDIV.S、FSD、FLD和ECALL。明确5级流水线需要新增的功能为浮点乘除及ECALL指令。

### 2、浮点乘除

（刘朝润冲啊）

### 3、ECALL指令

使用工具链对其进行编译生成可执行文件，并对可执行文件反汇编得到汇编指令。文件分别为四个测试程序文件夹下Fibonacci\_ass.s和Fibonacci\_ass.txt。

## （二）RISC-V ISA模拟器使用

### 1、模拟器介绍

选择Spike为RISC-V ISA模拟器

输入

输出

### 2、修改模拟器输出

由于改模拟器输出结果仅为，

需要增加寄存器输出

### 3、模拟器运行测试程序

模拟器运行4个测试程序

# 四、实验结果

四个程序比较，

与模拟器结果比较，

当前暂未实现C语言两个blabla...

## （一）Fibonacci by RV

手写的。

## （二）Bubble Sort by RV

手写的。

## （三）Fibonacci by C

C语言写的

## （四）Bubble Sort by C

C写的

# 五、实验总结

# （一）实验分工

许诗瑶：5级流水线的优化改进代码的重新编写

刘朝润：工具链的研究使用、测试程序指令集的初步筛选、5级流水线测试与调试

刘晓航：指令集的调整比较及指令细节的整理

# （二）实验遇到的问题

1、译码阶段对指令分级译码需要提前将指令对应要求的信号一一整理出来后从大范围到小范围逐类区分，并且要保证每个指令在区分时有唯一辨识度，不会重复或错误译码

2、拓展RVM指令集时，需要注意到与RV32I直接alu计算不同，需要先将计算结果的寄存器扩展至64位存储运算结果，再根据指令具体内容与要求取32位值。

# （三）附件文件说明

ISA文件夹：包含上周与本周两次目标指令集文件

RISCV文件夹：Vivado环境下项目工程代码

本次实验测试程序代码文件夹

四个测试程序